

Giải pháp tái cấu hình cho bộ tổ hợp tần số công nghệ CMOS trong thiết bị thông tin vô tuyến nhận thức

Vũ Lê Hà*, Trần Việt Hải, Lưu Thị Thu Hồng, Phan Hồng Minh

Viện Điện tử, Viện Khoa học Công nghệ Quân sự, Bộ Quốc phòng

Ngày nhận bài 1.7.2015, ngày chuyển phân biên 13.7.2015, ngày nhận phân biên 17.8.2015, ngày chấp nhận đăng 24.8.2015

Bài báo đề xuất một giải pháp tái cấu hình cho bộ tổ hợp tần số (THTS) có cấu trúc lai giữa DDS (Direct Digital Synthesizer) với PLL (Phase Locked Loop). Trong đó, khối DDS được thực thi trên nền FPGA (Field Programmable Gate Array), tạo tần số tham chiếu cho khối PLL; khối PLL sử dụng công nghệ CMOS, có khả năng tái cấu hình để tăng tốc độ điều hưởng, không cần sử dụng bộ phát hiện khóa và được điều khiển bằng phần mềm. Giải pháp này cho phép bộ THTS hoạt động trong các chế độ khác nhau, từ đó có thể tối ưu về tốc độ điều hưởng, năng lượng tiêu thụ hoặc công suất tiêu thụ trung bình. Bộ PLL được sử dụng trong mô hình thiết bị thông tin vô tuyến nhận thức (Cognitive Radio - CR) thực hiện chức năng cảm nhận phổ.

Từ khóa: cảm nhận phổ, DDS, điều hưởng nhanh, PLL, tiết kiệm năng lượng, vô tuyến nhận thức.

Chỉ số phân loại 1.2

A RECONFIGURATION SOLUTION FOR CMOS FREQUENCY SYNTHESIZER IN COGNITIVE RADIO DEVICES

Summary

This article proposes a reconfiguration solution for CMOS frequency synthesizer with a hybrid architecture which is a combination of a DDS and a PLL. The DDS is implemented in FPGA platform functioning a reference frequency for the PLL. The PLL is designed using CMOS technology, and is reconfigurable to accelerate tuning speed. Instead of employing a hardware-based lock detector, a software algorithm is used to determine the switching time and to optimize the tuning speed, consumption energy or average power. This PLL is used in cognitive radio for spectrum sensing function.

Keywords: cognitive radio, DDS, energy saving, fast tuning, PLL, spectrum sensing.

Classification number 1.2

Mở đầu

CR đang là một trong những xu hướng phát triển đầy hứa hẹn trong lĩnh vực thông tin liên lạc vô tuyến thông minh thế hệ mới. Một trong những đặc điểm chính của CR là khả năng thích nghi với môi trường xung quanh, nơi mà các tham số như tần số, công suất tiêu thụ, phương thức điều chế, băng thông... có thể thay đổi phụ thuộc vào môi trường, tình huống của người dùng, điều kiện mạng vô tuyến, vị trí địa lý... CR hoạt động theo một chu trình khép kín thích nghi gọi là chu kỳ nhận thức (cognitive cycle) [1]. Trong chu kỳ nhận thức này, cảm nhận phổ (spectrum sensing) là một trong những chức năng quan trọng. Trong một công bố trước đó [2], tác giả đã đề xuất một mô hình bộ cảm nhận phổ băng rộng tốc độ nhanh cho CR. Trong mô hình đề xuất này, bộ PLL có nhiệm vụ tạo tần số dao động ngoại sai để đưa tín hiệu vô tuyến từ cao tần về băng gốc ở tuyến thu cảm nhận phổ. Tốc độ khóa tần số của bộ PLL là tham số ảnh hưởng lớn tới thời gian cảm nhận phổ tổng thể của hệ thống, đặc biệt đối với hệ thống thu dải rộng. Bên cạnh đó, trong ngữ cảnh CR, vấn đề tiết kiệm năng lượng tiêu thụ trở nên rất quan trọng [3]. Các khối chức năng nói chung hay bộ PLL nói riêng trong CR cần phải có khả năng tái cấu hình tham số hoạt động để tối ưu hóa hoạt động chung của CR [4]. Bài báo này đề xuất một mô hình bộ PLL bậc 3 kiểu bơm điện tích (Charge Pump - CP) có thể tái cấu hình, hoạt động trong 3 chế độ khác nhau: (i) khóa tần số nhanh, (ii) tiết kiệm năng lượng, (iii) giới hạn công suất tiêu thụ đỉnh.

*Tác giả liên hệ: Tel: 0983250175, Email: vulehuongha@yahoo.com

Bộ PLL điều hưởng nhanh và tiết kiệm năng lượng

Kỹ thuật khóa nhanh bộ tổ hợp tần số là rất cần thiết đối với các hệ thống thông tin liên lạc hiện đại, ví dụ như các hệ thống di động tế bào số, các hệ thu vô tuyến trên xe hay các hệ thống nhảy tần. Kỹ thuật này được chia ra thành 2 dạng: kỹ thuật dịch băng thông bộ lọc vòng (Loop Filter - LF) và kỹ thuật tiền điều hưởng VCO, trong đó kỹ thuật dịch băng thông LF phổ biến hơn. Ý tưởng cơ bản đối với cơ chế dịch băng thông là sử dụng một băng thông LF lớn trong quá trình điều hưởng để tăng tốc độ khóa, và dịch băng thông LF tới giá trị nhỏ hơn sau khi tần số đầu ra bộ PLL đã được khóa để giữ ổn định tần số [5-12]. Trong các phương pháp này, cơ chế phát hiện khóa đều được thực hiện bằng các cấu trúc mạch điện tử, phổ biến nhất là mạch phát hiện khóa (Lock Detector - LD). Việc có thêm một mạch LD làm tăng độ phức tạp thiết kế, đồng thời cũng tăng dòng tiêu thụ tổng thể của bộ PLL. Một vấn đề nảy sinh nữa đối với việc sử dụng bộ LD là vấn đề phát hiện giả, khi bộ LD phát hiện sai do tạp âm hoặc hài bậc cao tạo ra từ các tín hiệu so sánh đầu vào. Khi đó việc sử dụng trạng thái đầu ra của bộ LD để điều khiển chuyển khóa sẽ bị sai. Một số bài báo đã đề cập đến vấn đề chuyển mạch bằng phần mềm [13, 14], nhưng không có tính toán tham số cụ thể. Đối với việc tính toán thời gian khóa để thực hiện chuyển mạch đúng thời điểm bằng phần mềm, hiện chưa có những công bố chi tiết.

Như đã phân tích về xu hướng phát triển của CR, bên cạnh mục tiêu sử dụng tài nguyên phổ tần số một cách hiệu quả, vấn đề tiết kiệm năng lượng tiêu thụ cho CR cũng rất quan trọng, đặc biệt đối với những thiết bị cầm tay sử dụng pin. Đối với các khối điện tử tương tự, cần phải có khả năng tái cấu hình để có thể hoạt động trong hai chế độ khác nhau: chế độ hiệu năng thực thi cao, và chế độ tiết kiệm năng lượng [4]. Các phương pháp tiếp cận giải quyết bài toán tiết kiệm năng lượng hiện nay có thể phân chia thành hai xu hướng: (i) tối ưu tại thời điểm thiết kế bằng các giải pháp thiết kế mạch hoặc công nghệ chế tạo IC để giảm thiểu mức tiêu thụ năng lượng, và (ii) tối ưu trong khi hệ thống hoạt động bằng các thuật toán phần mềm điều khiển tái cấu hình. Các nghiên cứu tập trung nhiều vào bộ khuếch đại công suất, thường là khối tiêu thụ năng lượng lớn nhất trong thiết bị thu phát vô tuyến [15-17]. Đối với các bộ PLL, các nghiên cứu cho bài toán tiết kiệm năng lượng đều tập trung vào vấn đề thiết kế chip, như thiết kế mạch quản lý nguồn cho PLL [18], thiết kế bộ PLL dải rộng

công suất tiêu thụ thấp [19, 20]. Các nghiên cứu về bộ PLL có thể tái cấu hình như đã trình bày ở trên chỉ tập trung giải quyết bài toán tăng tốc độ khóa. Chưa thấy có các nghiên cứu về bộ PLL tái cấu hình giải quyết cả hai mục tiêu tăng tốc độ khóa và tiết kiệm năng lượng. Đây là mục tiêu bộ PLL đề xuất giải quyết.

Giải pháp tái cấu hình cho bộ THTS

DDS trong THTS có thể tái cấu hình

Khi tần số tham chiếu đầu vào bộ PLL là f_{ref} , với hệ số chia N nguyên, thì tần số đầu ra bộ PLL khi đạt được trạng thái khóa là $f_{out} = Nf_{ref}$. Công thức này cho

thấy độ phân giải tần số đầu ra chính bằng tần số tham chiếu f_{ref} . Nếu tần số tham chiếu này quá nhỏ (với mong muốn để đạt được độ phân giải tần số đầu ra tốt), thì băng thông bộ lọc vòng cũng cần phải nhỏ, dẫn đến thời gian khóa tần số kéo dài. Ngược lại, nếu f_{ref} quá lớn thì không đảm bảo độ phân giải tần số để có thể điều hưởng tới toàn bộ các kênh tần (nếu băng thông kênh nhỏ). Giả sử đối với bộ PLL hệ số chia phân hồi $N = 4$, với tần số tham chiếu $f_{ref} = 20 \text{ MHz}$, các tần số đầu ra f_{out} quanh giá trị N này có thể có là:

Bảng 1: tần số ra bộ PLL với hệ số N nguyên f_{ref} cố định

f_{ref} (MHz)	N	f_{out} (MHz)
20	1	20
20	2	40
20	3	60
20	4	80

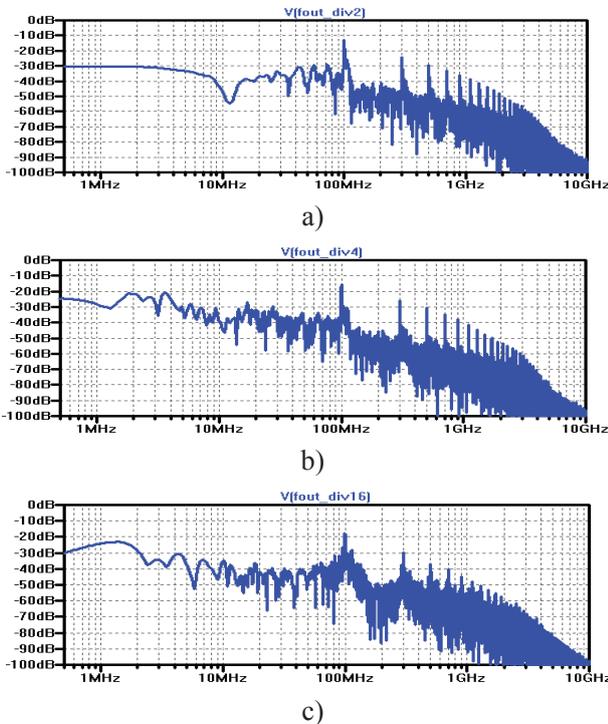
Giả sử băng thông của các kênh thông tin trong dải tần làm việc (từ DC đến 80 MHz) là 5 MHz, tức là sẽ có 160 kênh, hiển nhiên cấu trúc THTS này không thể áp dụng được, vì độ phân dải tần số đầu ra bằng 20 MHz.

Một giải pháp để vượt qua vấn đề này là sử dụng bộ DDS làm tần số tham chiếu cho bộ PLL. Bộ DDS có thể tạo ra các tần số trong dải tần từ DC đến $f_{clock}/2$, trong đó f_{clock} là tần số xung nhịp đầu vào bộ DDS, với độ phân dải tần số rất nhỏ, bằng $f_{clock}/(2*2^N)$ (N là số bit của thanh ghi tích lũy pha). Ví dụ: với một tần số f_{clk} bằng 100 MHz và một thanh ghi tích lũy pha 32 bit, độ phân giải tần số đầu ra bộ DDS đạt được là 0,023 Hz. Để tăng độ phân giải tần số của bộ PLL, sao cho đầu ra đạt được các tần số cách nhau 200 kHz, điều chỉnh tần số f_{ref} tương ứng với N. Để giữ N đủ nhỏ, chọn $N = 2$. Gọi n là số thứ tự kênh thông tin trong băng tần, tần số

làm việc của kênh n là $f_n = n \cdot 0,2$ (MHz). Để đạt được $f_{out} = f_n$, cần tần số tham chiếu f_{ref} là:
 $f_{ref} = f_{out} / N = 0,2 \cdot n / N$

Với $N = 2$, giả sử $n = 201$ sẽ có $f_{ref} = 20,1$ MHz. Cấu hình lại bộ DDS bằng giá trị mới, sẽ đạt được tần số đầu ra mong muốn.

Vấn đề thứ hai đối với bộ PLL hệ số N nguyên là khi N thay đổi, tạp âm nền từ bộ tách sóng pha - tần số (PFD - Phase Frequency Detector) cũng thay đổi với hệ số bằng $20 \log_2 N$. Như vậy, việc giữ một hệ số N nhỏ sẽ là cần thiết để đảm bảo mức tạp âm nền trong mạch không quá lớn. Đương nhiên khi N nhỏ đồng nghĩa với giới hạn trên của tần số f_{out} cũng bị hạn chế.

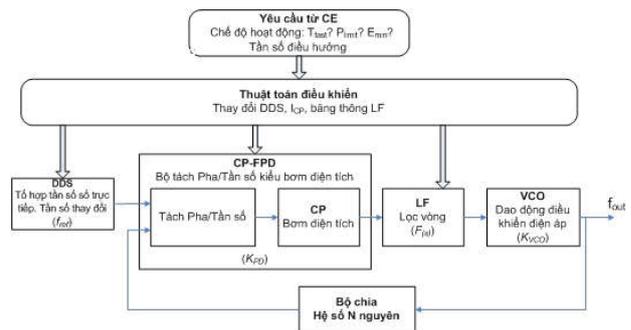


Hình 1: nhiễu nền tăng lên khi hệ số chia N tăng

Hình 1 mô tả bộ PLL tạo ra tần số 100 MHz bằng 3 cách: (a) sử dụng tần số tham chiếu 50 MHz và bộ chia N bằng 2; (b) sử dụng tần số tham chiếu 25 MHz và bộ chia N bằng 4; và (c) sử dụng tần số tham chiếu 6,25 MHz và bộ chia N bằng 16, phổ tín hiệu cho thấy nhiễu nền trong bộ PLL tăng lên khi hệ số chia N tăng. Nhiễu nền (tạp âm pha) trong (a) khoảng -30 dB, với tín hiệu -12 dB, tốt hơn so với phổ trong (b) và (c). Vì vậy việc giữ một hệ số N nhỏ và thay đổi tần số tham chiếu sẽ đạt được tần số đầu ra sạch hơn so với khi sử dụng một bộ chia hệ số N lớn.

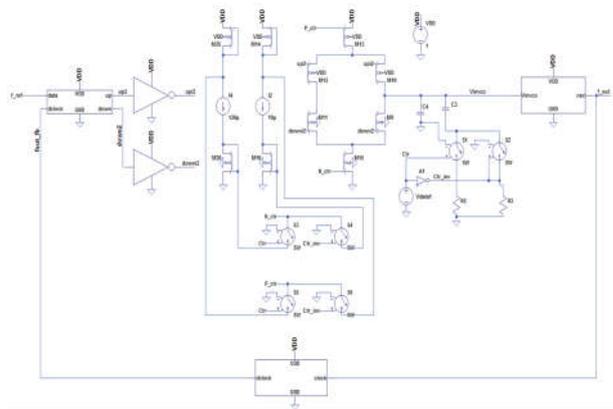
PLL trong tổ hợp tần số có thể tái cấu hình

Bộ PLL được đề xuất dựa trên nền tảng bộ PLL dạng bơm điện tích CP kinh điển, có những điểm mới: (i) bộ CP-PFD và bộ lọc vòng được cấu hình động trong quá trình đưa bộ PLL về trạng thái khóa tần số; (ii) bộ PLL không sử dụng bộ PD bằng phần cứng để giảm năng lượng tiêu thụ; (iii) thuật toán điều khiển các khối chức năng có thể tái cấu hình (CP-FPD, LF) để tối ưu hóa 1 trong 3 tham số: tốc độ khóa, năng lượng tiêu thụ nguồn cung cấp, công suất đỉnh. Sơ đồ mô hình bộ PLL như hình 2.



Hình 2: mô hình bộ PLL đề xuất, cấu hình động FPD và LF

Bộ PLL được thiết kế sử dụng công nghệ CMOS. Sơ đồ nguyên lý cơ bản của bộ PLL như hình 3.



Hình 3: sơ đồ nguyên lý bộ PLL công nghệ CMOS

Với mô hình này, các tham số đặc trưng cơ bản của bộ PLL bao gồm [21]: hệ số khuếch đại của bộ PFD: $K_{PD} = I_{CP} / 2\pi$ (ampe/radian), trong đó I_{CP} là dòng điện đầu ra của bộ bơm điện tích (CP), được nạp vào các tụ điện của bộ lọc vòng thụ động (LF), với C_z và R_z là các tụ điện và điện trở xác định điểm zero và C_p là tụ điện xác định điểm cực của bộ LF. Tần số tự nhiên của bộ PLL: $\omega_n = \sqrt{\frac{I_{CP} K_{VCO}}{2\pi N C_z}}$ (radian). Hệ số tắt dần:

$\zeta = \frac{1}{2} R_z C_z \sqrt{\frac{I_{CP} K_{VCO}}{2\pi N C_z}}$. Tần số cắt của bộ PLL:

$\omega_c = \frac{I_{CP} K_{VCO} R_z}{2\pi N} \frac{C_z}{C_z + C_p}$. Thời gian kéo vào trạng

thái khóa tương ứng với độ lệch tần số $\Delta\omega = 2\pi\Delta f$ ở

đầu vào bộ tách sóng pha - tần số:

$T_{pull-in} = \frac{2C_z\Delta\omega}{I_{CP}K_{VCO}} = \frac{4\pi C_z\Delta f}{I_{CP}K_{VCO}}$ (giây). Thời gian khóa:

$T_{lock} = \frac{2\pi}{\omega_n}$ (giây), trong đó: N là hệ số chia của bộ chia

phần hồi; K_{VCO} (radian/giây). V là hệ số khuếch đại của bộ VCO.

Trong bộ PLL, điện trở R_z của bộ lọc vòng và dòng I_{CP} khối bơm điện tích được điều khiển đồng bộ để đảm bảo: (a) hệ số ζ được giữ bằng hằng số để giữ ổn

định cho bộ PLL. Như vậy, phải chọn R_z để $R_z\sqrt{I_{CP}}$ là

một hằng số; (b) tần số ω_n đặt với trị số lớn trong giai

đoạn điều hướng để tăng tốc độ khóa, và giảm nhỏ trong giai đoạn đạt khóa để giữ ổn định tần số đầu ra. Để phát hiện thời điểm khóa trong chế độ tăng tốc và chuyển về chế độ giữ ổn định, thay vì sử dụng một bộ phát hiện khóa LD như các mô hình phổ biến hiện nay, bộ PLL được điều khiển bằng thuật toán phần mềm. Thời gian điều hướng được tính toán và lưu trong bộ nhớ.

Có thể thấy, với một hệ số K_{VCO} cố định, để đạt được thời gian điều hướng nhanh thì cần một dòng I_{cp} lớn. Tuy nhiên, có hai nhược điểm khi tăng dòng I_{cp} : (a) tần số tự nhiên ω_n tăng, dẫn đến băng thông bộ lọc vòng

tăng lên, kết quả là nhiễu, tạp nền và độ mất ổn định trong bộ PLL tăng lên; (b) dòng I_{cp} tăng đồng nghĩa với công suất tiêu thụ của mạch tăng lên. Đối với một bộ PLL khóa nhanh theo nguyên lý dịch băng thông LF, dòng I_{CP} có thể được đặt bằng một giá trị trong dải động $[I_{CP_min}, I_{CP_max}]$. Bộ PLL đề xuất hoạt động với mục tiêu xác định điểm làm việc của dòng I_{CP} để đạt

được các giá trị tối ưu trong các chế độ hoạt động khác nhau: (i) hiệu năng cao: ưu tiên tốc độ khóa nhanh, không có ràng buộc về năng lượng tiêu thụ, thời gian điều hướng nhanh nhất có thể, $T_{PLL_tune_opt}$; (ii) tiết kiệm năng lượng: điểm làm việc mà năng lượng tiêu thụ là tối thiểu trong quá trình điều hướng, E_{PLL_min} ; (iii) giới hạn công suất tiêu thụ đỉnh: công suất tiêu thụ trong khi điều hướng không vượt quá giá trị P_{PLL_limit} đặt trước.

Để giải quyết bài toán này, cần xác định mối liên hệ của các tham số T, E và P với dòng bơm điện tích I_{CP} . Gọi P_{PLL} là công suất tiêu thụ tức thời của mạch PLL. Hàm quan hệ giữa P_{PLL} và dòng I_{CP} là $P_{PLL} = f_1(I_{CP}, \dots)$. Với

cấu trúc bộ PLL dạng bơm điện tích, công suất tiêu thụ trung bình của bộ PLL bằng tổng công suất tiêu thụ của mạch tạo nguồn dòng (P_{CP}) và công suất tiêu thụ của các mạch khác (P_{others}). Nguồn dòng I_{CP} được tạo ổn định với điện áp nguồn V_{DD} cố định, vì vậy P_{CP} là một hàm bậc nhất với đối số I_{CP} , vậy:

$$P_{PLL} = P_{CP} + P_{others} = aI_{CP} + b \quad (1)$$

Trong đó, a và b là hai hệ số cố định đối với từng mạch PLL cụ thể. Việc xác định giá trị của hai hệ số này có thể được thực hiện bằng mô phỏng cho từng cấu trúc mạch khác nhau. Từ (1) có: $I_{CP} = \frac{P_{PLL} - b}{a}$. Vì thời

gian khóa $T_{lock} = 2\pi / \omega_n$ và $\omega_n = \sqrt{I_{CP} K_{VCO} / (2\pi N C_z)}$,

nên mối quan hệ giữa T_{lock} và I_{cp} là:

$$T_{lock} = 2\pi / \sqrt{I_{CP} K_{VCO} / (2\pi N C_z)} = \sqrt{8\pi^2 N C_z / K_{VCO}} \sqrt{1 / I_{CP}} \quad (2)$$

Thời gian điều hướng chuyển tần của bộ PLL là khoảng thời gian bộ PLL cần thực hiện để kéo tần số dao động đầu ra vào dải khóa, và sau đó thực hiện khóa, nên: $T_{PLL_tune} = T_{PLL_pull-in} + T_{PLL_lock}$, trong đó:

T_{PLL_tune} là thời gian điều hướng, $T_{PLL_pull-in}$ là thời gian kéo vào, T_{PLL_lock} là thời gian khóa. Từ đó, mối liên hệ giữa các tham số công suất tiêu thụ tức thời P_{PLL} , độ lệch tần số đầu vào $\Delta\omega$ và thời gian điều hướng là:

$$T_{PLL_tune} = T_{PLL_pull-in} + T_{PLL_lock} = 4\pi C_z \Delta f / (I_{CP} K_{VCO}) + \sqrt{8\pi^2 N C_z / K_{VCO}} \sqrt{1 / I_{CP}} \quad (3)$$

Vậy:

$$T_{PLL_tune} = 4\pi \left(\frac{aC_z \Delta f}{(P_{PLL} - b)K_{VCO}} + \sqrt{2K_{VCO}(P_{PLL} - b)} \right) \quad (4)$$

Công thức (4) là công thức tổng quát tính toán thời gian T_{PLL_tune} phù hợp để chuyển bộ PLL từ giai đoạn kéo và khóa tần số nhanh sang giai đoạn giữ ổn định tần số sau khi khóa. Như vậy, để đạt tới trạng thái khóa khi làm việc ở chế độ khóa nhanh, năng lượng tiêu thụ của mạch PLL là:

$$E_{PLL} = P_{PLL} T_{PLL_tune} = 4\pi \left(\frac{aC_z \Delta f P_{PLL}}{(P_{PLL} - b)K_{VCO}} + \sqrt{2K_{VCO}(P_{PLL} - b)} P_{PLL} \right) \quad (5)$$

Khi không có một ràng buộc nào về vấn đề tiết kiệm năng lượng tiêu thụ trong quá trình làm việc, bộ PLL sẽ đặt chế độ điều chỉnh tần số nhanh nhất có thể, tức là đặt giá trị I_{CP} cao nhất có thể được. Tuy nhiên, khi có một ràng buộc về tiết kiệm năng lượng, dòng I_{CP} cần phải được đặt tại điểm mà E_{PLL} là tối thiểu hoặc tại giá trị P_{PLL_limit} là ngưỡng tối đa được phép thiết lập. Để xác định được điểm làm việc tối ưu theo ràng buộc về mức năng lượng tiêu thụ, cần giải phương trình .

$$\text{Đặt } Q = \sqrt{P - b}, \quad A = aC_z \Delta f / K_{VCO}, \quad B = 4\pi \sqrt{aNC_z} / (2K_{VCO}),$$

phương trình (5) được viết lại :

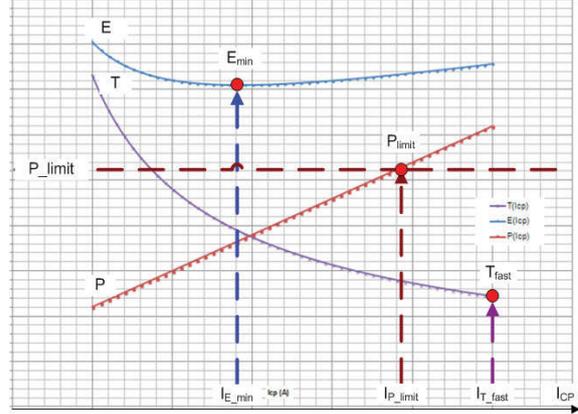
$$E_{PLL} = A \frac{Q^2 + b}{Q^2} + B \frac{Q^2 + b}{Q} = \frac{Ab}{Q^2} + \frac{Bb}{Q} + A + BQ \quad (6)$$

Để xác định điểm cực tiểu của E_{PLL} cần giải phương trình (6) với biến Q . Để đảm bảo tính toán thời gian thực nhanh, giải pháp là xây dựng các đường cong với các tham số xác định trước và lưu trữ trong bảng tham chiếu. Trong phương trình , tham số B là tham số đặc trưng riêng của cấu trúc mạch PLL, tham số A phụ thuộc vào cấu trúc mạch PLL và độ lệch tần số Δf đầu vào bộ PFD, vì vậy các đường cong cần được xác định trước theo các giá trị Δf khác nhau.

Phương pháp chọn điểm làm việc và thuật toán tái cấu hình cho PLL

Từ các công thức liên hệ giữa dòng I_{CP} và các giá trị thời gian điều chỉnh $T_{PLL_tune_fast}$ theo (3), công suất tiêu thụ trong thời gian tăng tốc P_{PLL_fast} theo (1), và năng

lượng tiêu thụ E_{PLL_fast} trong thời gian tăng tốc theo (5), các đường đặc tính hoạt động tổng quát cho 3 tham số T, P, E có hình dạng như trong hình 4. Từ đó, chúng tôi đề xuất phương pháp chọn điểm làm việc cho bộ PLL (mà bản chất là chọn điểm làm việc cho dòng I_{CP}) như sau:



Hình 4: các đường đặc trưng theo T, P, E

Bước 1: đặt chế độ hoạt động cho bộ THTS, xác định dòng I_{CP} tối ưu:

a. Nếu bộ THTS hoạt động trong chế độ điều chỉnh nhanh: điểm làm việc tối ưu là tại I_{T_fast} vì tại điểm này, thời gian điều chỉnh đạt nhanh nhất bằng T_{fast} .

b. Nếu bộ THTS hoạt động trong chế độ tiết kiệm năng lượng: điểm làm việc tối ưu là tại I_{E_min} vì tại điểm này năng lượng tiêu thụ nhỏ nhất, bằng E_{min} .

c. Nếu bộ THTS hoạt động trong chế độ giới hạn công suất trung bình tại P_{limit} : điểm làm việc tối ưu $I_{CP} = I_{P_limit}$ vì tại điểm này công suất tiêu thụ trung bình không vượt quá giới hạn P_{limit} , và tốc độ khóa là nhanh nhất có thể được.

Bước 2: chọn điện trở R_z tương ứng với dòng I_{CP} đã được xác định trong bước 1, sao cho $R_z \sqrt{I_{CP}}$ là hằng số.

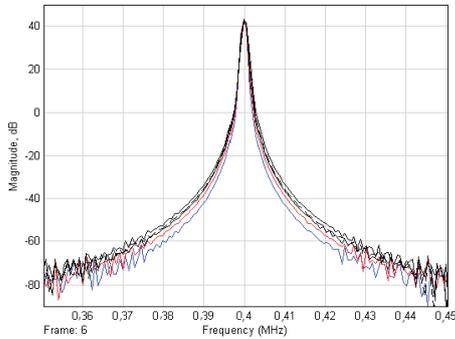
Bước 3: xác định khoảng thời gian điều chỉnh T_{PLL_tune} cho bộ PLL trong giai đoạn kéo nhanh. Khoảng thời gian này được xác định từ đường đặc tuyến T trong hình trên.

Bước 4: thực thi thuật toán điều khiển bộ PLL điều chỉnh nhanh trong thời gian T_{PLL_tune} . Sau đó chuyển về trạng thái khóa và giữ ổn định tần số đầu ra. Kết thúc chu trình thuật toán.

Kết quả mô phỏng

Tạo tần số tham chiếu DDS cho khối PLL

Bộ DDS được thiết kế bằng công nghệ FPGA, sử dụng công cụ phần mềm thiết kế và mô phỏng *System Generator for DSP* của Xilinx.

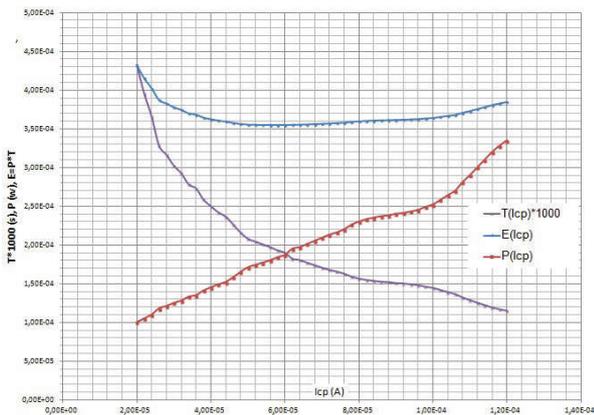


Hình 5: tần số đầu ra DDS làm tham chiếu cho PLL

Biểu đồ hình 5 thể hiện tần số đầu ra bộ DDS được sử dụng làm tần số tham chiếu cho PLL. DDS có thể tạo ra bước tần rất nhỏ với độ chính xác cao. Hình vẽ mô tả 5 tần số quanh tần số trung tâm 400 kHz, bước tần 27 Hz.

Hoạt động của khối PLL

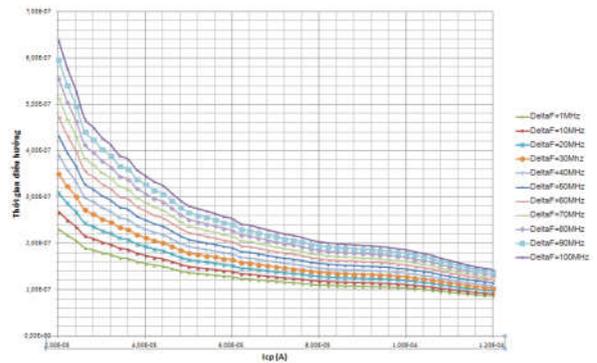
Để thực hiện các tính toán và mô phỏng, các tham số định lượng của từng khối chức năng như sau [22]: tần số đầu ra VCO: $f_{VCO_out} = 100 \text{ MHz}$; hệ số chia: $N = 2$; điện áp nguồn cung cấp: $VDD = 1 \text{ V}$; hệ số khuếch đại bộ VCO: $K_{VCO} = 1,57 \times 10^9 \text{ rad/V.s}$; dòng I_{CP} thay đổi trong dải từ 10 μA đến 120 μA . Xây dựng đường các đặc tuyến của các tham số T_{tune} , P và E cho thiết kế trong hình 3 thể hiện như trong hình 6.



Hình 6: đặc tuyến của T_{PLL_tune} , P_{PLL} , E_{PLL}

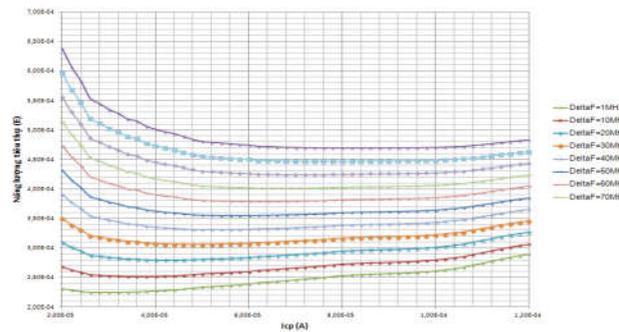
So sánh hình 6 và hình 4, các giá trị thực tế phản ánh đúng so với các kết quả tính toán lý thuyết. Tuy

nhiên, đối với từng cấu trúc mạch PLL khác nhau cần xây dựng tập dữ liệu đặc trưng riêng, giá trị công suất tiêu thụ sẽ không phụ thuộc vào tham số Δf , nhưng thời gian điều hưởng và năng lượng tiêu thụ tổng cộng thì phụ thuộc vào tham số này. Vì vậy, cơ sở dữ liệu cần xây dựng cho hai tham số này sẽ là họ đường cong phụ thuộc vào tham số Δf trong dải hoạt động của bộ PLL. Vì T_{tune} và E có quan hệ tuyến tính với Δf nên các giá trị ứng với các Δf không nằm trong cơ sở dữ liệu có thể được tính toán từ các đường đặc tuyến lân cận.



Hình 7: T_{PLL_tune} với độ lệch tần khác nhau

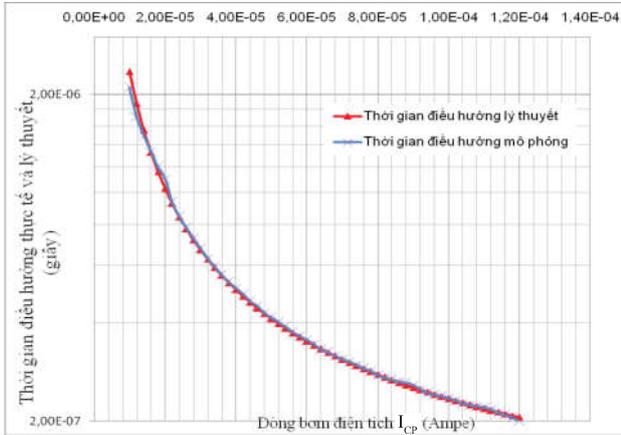
Biểu đồ hình 7 mô tả đặc tuyến thời gian điều hưởng T_{PLL_tune} theo dòng I_{CP} với các giá trị Δf từ 1 đến 100 MHz. Có thể thấy sự khác biệt lớn về thời gian này khi sử dụng dòng I_{CP} nhỏ với các Δf khác nhau. Tại I_{CP} bằng 20 μA cần 0,22 μs để kéo Δf bằng 1 MHz, nhưng cần tới 0,64 μs để kéo Δf bằng 100 MHz. Khi sử dụng dòng I_{CP} lớn, sự khác biệt này giảm xuống. Để kéo Δf trong dải từ 1 đến 100 MHz, T_{PLL_tune} thay đổi trong dải từ 0,08 đến 0,15 μs .



Hình 8: E_{PLL} trong thời gian điều hưởng

Biểu đồ hình 8 mô tả năng lượng tiêu thụ E_{PLL} trong thời gian điều hưởng ứng với các Δf từ 1 đến 100 MHz. Có thể thấy, năng lượng tiêu thụ tối thiểu đối với các Δf khác nhau xảy ra tại các giá trị I_{CP} khác nhau. Với Δf bằng 1 MHz, E_{PLL} đạt E_{PLL_min} tại I_{CP_1MHz} bằng 30 μA ; với Δf bằng 10 MHz, E_{PLL} nhỏ nhất tại I_{CP_10MHz}

bằng 36 μA ; tương tự $I_{CP_{20\text{MHz}}}$ bằng 42 μA , $I_{CP_{100\text{MHz}}}$ bằng 88 μA . Các giá trị này sẽ được lưu trong cơ sở dữ liệu để xác định điểm làm việc tối ưu về năng lượng tiêu thụ cho bộ PLL.

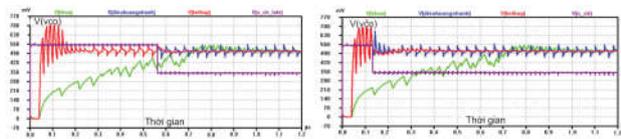


Hình 9: so sánh thời gian điều hướng lý thuyết và mô phỏng

So sánh kết quả mô phỏng thời gian khóa tổng cộng với tính toán lý thuyết như hình 9. Kết quả mô phỏng cho thấy có sự sai khác nhỏ giữa thời gian khóa tính toán lý thuyết và thời gian khóa mô phỏng khi dòng I_{CP} thay đổi. Điều này có thể giải thích được vì mô hình tính toán bộ PLL bậc 3 được xây dựng gần đúng từ mô hình bộ PLL bậc 2.

Trên cơ sở đường đặc tuyến từ hình 9, thuật toán điều khiển sẽ xác định được thời gian chuyển tối ưu khi chuyển từ giai đoạn điều hướng sang giai đoạn giữ ổn định. Việc chọn lựa được đúng thời điểm chuyển mạch là rất quan trọng, ảnh hưởng trực tiếp đến thời gian khóa tổng cộng.

Mô phỏng thời điểm chuyển mạch trong giai đoạn điều hướng nhanh:



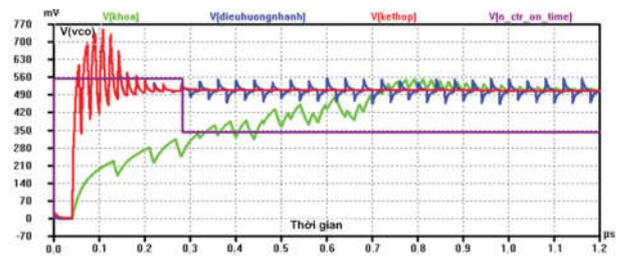
Hình 10: (a) chuyển mạch quá chậm (b) chuyển mạch quá nhanh

So sánh thời gian khóa khi các thời điểm chuyển mạch khác nhau. Hình 10 mô phỏng phản ứng của mạch khi: (a) chuyển mạch quá trễ tại 5,6 μs , và (b) chuyển mạch quá sớm tại 0,13 μs . Khi chuyển mạch quá trễ, giai đoạn điều hướng đạt được trạng thái khóa tại 0,3 μs . Tuy nhiên, vì chưa chuyển sang trạng thái giữ, mạch có xu hướng mất ổn định, đến thời điểm 5,6

μs , mạch chuyển sang trạng thái khóa chậm, kéo tần số đầu ra về trạng thái khóa, và đạt được trạng thái khóa tại thời điểm 0,7 μs .

Khi chuyển mạch quá sớm, mạch khóa nhanh chưa đưa tần số đầu ra về trạng thái khóa nhưng đã chuyển sang mạch giữ, tần số được khóa tại thời điểm 0,6 μs .

Hình 11 mô phỏng phản ứng của mạch khi chuyển mạch đúng thời điểm tại 0,29 μs , khi mạch khóa nhanh vừa đưa tần số về trạng thái khóa, chuyển sang mạch giữ để giữ ổn định tần số. Thời gian khóa là nhỏ nhất, bằng 0,35 μs .



Hình 11: chuyển mạch đúng thời điểm

Kết luận

Bài báo đã đề xuất một giải pháp tái cấu hình cho bộ THTS có cấu trúc lai DDS - PLL cho CR. Bộ PLL hoạt động với mục tiêu đạt được điểm làm việc tối ưu trong các chế độ hoạt động khác nhau: (i) hiệu năng cao; (ii) tiết kiệm năng lượng; (iii) giới hạn công suất. Các đường đặc tuyến tổng quát cho các tham số thời gian điều hướng tần số, công suất tiêu thụ trung bình và năng lượng tiêu thụ trong khi điều hướng của bộ PLL đã được xây dựng và phương pháp chọn điểm làm việc cho bộ PLL trong các chế độ hoạt động khác nhau đã được đề xuất. Bộ PLL có thể tái cấu hình, được điều khiển bằng thuật toán phần mềm. Thời điểm chuyển trạng thái khóa tần số được tính toán bằng phần mềm thay vì sử dụng một bộ phát hiện khóa bằng mạch phần cứng như các bộ PLL khóa nhanh khác, làm giảm mức tiêu thụ năng lượng của bộ PLL nhưng vẫn đảm bảo đạt được thời gian khóa nhanh. Bộ DDS được sử dụng làm tần số tham chiếu cho bộ PLL, cho phép bộ PLL sử dụng bộ chia phân hồi có hệ số N nhỏ, làm giảm nền tạp và đạt được độ phân giải tần số đầu ra nhỏ, vượt qua nhược điểm giới hạn độ phân giải bằng tần số tham chiếu trong các bộ PLL sử dụng tần số tham chiếu cố định.

Tài liệu tham khảo

- [1] Josef Mitola (2000), "Cognitive Radio: An Integrated Agent Architecture for Software Defined Radio", *Ph.D. dissertation*, Royal Inst. of Tech., Sweden.
- [2] Vũ Lê Hà (2014), "Bộ cảm nhận phổ thích nghi cho hệ thống vô tuyến thông minh (cognitive radio)", *Tap chí Nghiên cứu khoa học và công nghệ quân sự*, số 30, trang 46-52.
- [3] Vamshi Krishna Manthena (2011), "Ultra Low Power CMOS Phase-Locked Loop Frequency Synthesizers", *PhD thesis*, Nanyang University, Singapore.
- [4] Liesbet V.P, Jan C, Antoine D (2009), "Green Software Defined Radios - Enabling seamless connectivity while saving on hardware and energy", *Springer Science*.
- [5] Sidiropoulos S, Liu D, Kim J, Wei G, Horowitz M (2000), "Adaptive bandwidth DLLs and PLLs using regulated supply CMOS buffers", *Symp. on VLSI Circuits Digest Technical Papers*, Honolulu, HI, pp.124-127.
- [6] Bishop A.J, Roberts G.W, Blostein M.L (1992), "Adaptive phase locked loop for video signal sampling", in *Proc. IEEE ISCAS'92*, San Diego, pp.1664-1667.
- [7] Lee J, Kim B (2000), "A low-noise fast-lock phase-locked loop with adaptive bandwidth control", *IEEE J. Solid-State Circuits*, vol.35, pp.1137-1145.
- [8] Shirahama H, Taniguchi K, Nakashi K, "A new very fast pull-in PLL system with anti-pseudo-lock function", in *Proc. Symp. VLSI Circuits Dig. Tech. Papers*, Kyoto, Japan, pp.75-76.
- [9] Yang C, Yuan S (2000), "Fast-switching frequency synthesizer with a discriminator-aided phase detector", *IEEE J. Solid-State Circuits*, vol.35, pp.1445-1452.
- [10] Vaucher C (2000), "An adaptive PLL tuning system architecture combing high spectral purity and fast settling time", *IEEE Solid-State Circuits*, vol.35, pp.490-502.
- [11] Tang Y, Zhou Y, Bibyk S, Ismail M (2001), "A low-noise fast settling PLL with extended loop bandwidth enhancement by new adaptation technique", in *Proc. IEEE ASIC/Soc Conf.*, pp.93-97.
- [12] Tang Y, Ismail M, Bibyk S (2002), "A new fast-settling gearshift adaptive PLL to extend loop bandwidth enhancement in frequency synthesizers", in *Proc. ISCAS'02*, vol.4, Phoenix, AZ, pp.787-790.
- [13] Roh G, Lee Y, Kim B (1997), "Optimum phase-acquisition technique for charge-pump PLL", *IEEE Solid-State Circuits*, vol.32, pp.729-740.
- [14] Thoka S (2005), "Fast-Switching Adaptive Bandwidth Frequency Synthesizer using a Loop Filter with Switched Zero Resistor Array", *IEEE*.
- [15] Hassani J.Y, Kamarei M (2001), "A Flexible Method of LUT Indexing in Digital Predistortion Linearization of RF Power Amplifiers", *IEEE International Symposium on Circuits and Systems*, vol.1, Sydney, pp. 53-56.
- [16] Koch R (2001), "Linearization: Reducing distortion in power amplifiers", *IEEE Microw.*, vol.2, pp.37-49.
- [17] Park J, Park S.R, Roh H.J, Koo K.H (2001), "Power Amplifier Back-off Analysis with AM-to-PM for Millimeter-wave OFDM Wireless LAN", in *Proc. IEEE Radio and Wireless Conference*, Waltham, USA, pp.189-192.
- [18] Austin Harney, Grzegorz Wawrzola (2011), "Power Management Design for PLLs", *Analog Dialogue 45-09*.
- [19] Jan D (2009), "Power Efficiency Optimization of Fully Integrated Dickson Charge Pumps", *Proceedings of the 9th WSEAS International Conference on Microelectronics, Nanoelectronics*.
- [20] Kang C.W (2013), "Low voltage charge pump circuit using 0.18 μm CMOS technology", *Électronique et transmission de l'information*.
- [21] Keliu Shu, Edgar Sanchez-Sinencio (2005), "CMOS PLL Synthesizers: Analysis and Design", *Springer Science + Business Media, Inc*.
- [22] Baker R Jacob (2011), "CMOS: Circuit Design, Layout and Simulation", *John Wiley and Sons*.